



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000183290 A**(43) Date of publication of application: **30.06.00**

(51) Int. Cl.

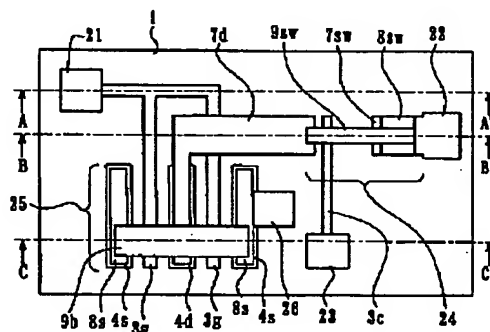
**H01L 27/04****H01L 21/822****B62D 57/00**(21) Application number: **10361026**(71) Applicant: **NEC CORP**(22) Date of filing: **18.12.98**(72) Inventor: **ARA YOICHI**(54) **SEMICONDUCTOR HIGH-FREQUENCY  
INTEGRATED CIRCUIT AND ITS  
MANUFACTURING METHOD**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To easily manufacturing a semiconductor high-frequency integrated circuit through the manufacturing process of conventional MMIC and eliminate the leakage of a signal flowing to a signal line.

**SOLUTION:** A semiconductor high-frequency integrated circuit is provided with a semiconductor substrate (substrate 1) with an integrated circuit (FET 25) consisting of active and passive elements, an interlayer insulation film, a first signal line (drain electrode 7d) that is provided on the interlayer insulation film and is connected to the integrated circuit, a second signal line (signal line 7sw) that is provided on the interlayer insulation film, while an end part is provided while being separated from the end part of the drain electrode 7d by a specific interval, and a switch means (micromachine switch 24) for controlling the conduction/non conduction between first and second signal lines.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183290

(P2000-183290A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 27/04		H 0 1 L 27/04	A 5 F 0 3 8
21/822		B 6 2 D 57/00	B
B 6 2 D 57/00		H 0 1 L 27/04	M

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願平10-361026

(22) 出願日 平成10年12月18日 (1998. 12. 18)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 荒 洋一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

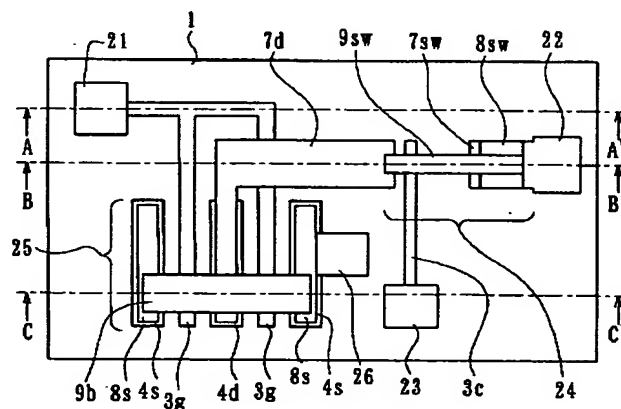
Fターム (参考) 5F038 CD20 DF02 EZ01 EZ02 EZ20

(54) 【発明の名称】 半導体高周波集積回路およびその製造方法

(57) 【要約】 (修正有)

【課題】 信号線を通る信号のリークを無くすることができ、従来のMMICの製造プロセスで容易に作製する。

【解決手段】 能動素子および受動素子からなる集積回路 (FET 25) を有する半導体基板 (基板1) と、層間絶縁膜と、層間絶縁膜上に設けられかつ集積回路と接続された第1の信号線 (ドレイン電極7d) と、層間絶縁膜上に設けられかつドレイン電極7dの端部から所定の間隔を隔てて端部に設けられた第2の信号線 (信号線7sw) と、第1および第2の信号線間の導通/非導通を制御するスイッチ手段 (マイクロマシンスイッチ24) とを備える。



## 【特許請求の範囲】

【請求項 1】 能動素子および受動素子からなる集積回路を有する半導体基板と、前記半導体基板の主表面を覆う層間絶縁膜と、前記層間絶縁膜上に設けられかつ前記集積回路と接続された第 1 の信号線と、前記層間絶縁膜上に設けられかつ前記第 1 の信号線の端部から所定の間隔を隔てて端部に設けられた第 2 の信号線と、前記第 1 および第 2 の信号線間の導通／非導通を制御するスイッチ手段とを備えた半導体集積回路において、前記スイッチ手段は、

前記第 1 または第 2 の信号線の端部の一方に設けられかつ導電性部材からなる支持部材と、この支持部材の上に設けられるとともに他方の信号線の上方まで延在しかつ導電性部材からなる片持ちアームと、

前記第 1 および第 2 の信号線の端部間における前記片持ちアームの直下に設けられた制御電極とを備えたことを特徴とする半導体高周波集積回路。

【請求項 2】 請求項 1 において、

前記半導体基板は、シリコン基板または化合物半導体基板であることを特徴とする半導体高周波集積回路。

【請求項 3】 請求項 1 において、

前記集積回路は、位相器、送受切り替え器、可変減衰器、周波数変換器、周波数通倍器、周波数フィルタ、発振器、変調器、復調器または増幅器のうちの少なくとも何れか一つを含むことを特徴とするマイクロマシンスイッチを備えた半導体高周波集積回路。

【請求項 4】 請求項 1 において、

前記第 1 および第 2 の信号線は、マイクロストリップライン、コプレーナ線路またはスロット線路の何れかであることを特徴とする半導体高周波集積回路。

【請求項 5】 半導体基板に能動素子および受動素子からなる集積回路を形成する工程と、

この半導体基板の主表面上に層間絶縁膜を形成する工程と、

この層間絶縁膜上に、前記集積回路に接続された第 1 の信号線を形成するとともにこの第 1 の信号線の端部から所定の間隔を隔てた位置に端部を有する第 2 の信号線を形成する工程と、

前記層間絶縁膜上に、前記第 1 および第 2 の信号線を覆う厚さの犠牲膜を形成する工程と、

前記第 1 または第 2 の信号線の一方の端部上にある前記犠牲膜にスルーホールを開口する工程と、

前記スルーホール内に導電性部材を充填することにより前記一方の端部上に支持部材を形成する工程と、

この支持部材上に、他方の信号線まで延在しかつ導電性部材からなる片持ちアームを形成する工程と、

前記犠牲膜を除去する工程とを備えたことを特徴とする半導体高周波集積回路の製造方法。

【請求項 6】 請求項 5 において、

前記半導体基板は、シリコン基板または化合物半導体基板であることを特徴とする半導体高周波集積回路の製造方法。

【請求項 7】 請求項 5 において、

前記集積回路は、位相器、送受切り替え器、可変減衰器、周波数変換器、周波数通倍器、周波数フィルタ、発振器、変調器、復調器または増幅器のうちの少なくとも何れか一つを含むことを特徴とする半導体高周波集積回路の製造方法。

10 【請求項 8】 請求項 5 において、

前記第 1 および第 2 の信号線は、マイクロストリップライン、コプレーナ線路またはスロット線路の何れかであることを特徴とする半導体高周波集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体高周波集積回路およびその製造方法に関し、特に MMIC (Microwave Monolithic Integrated Circuit) 等の半導体高周波集積回路およびその製造方法に関するものである。

20 【0002】

【従来の技術】従来、無線周波で用いられる高周波（マイクロ波、ミリ波領域等）をオン／オフするスイッチとしては、FET (Field Effect Transistor) や PIN ダイオード等の電子的に制御するもの、いわゆる半導体スイッチが用いられてきた。

【0003】図 9 は、従来の無線通信機における送受信部を示したブロック図である。同図に示すように、送信系および受信系の回路はそれぞれ MMIC と呼ばれる IC チップに集積されている。ここでは、送信系と受信系とがそれぞれ個別のチップに作られているが、同一チップに両者が集積されていることもある。

【0004】さて、送信系の MMIC 31 には、少なくともアンプ 31a と信号経路を切り替えるためのスイッチである PIN ダイオード 31c とが集積されている。同様に、受信系の MMIC 32 には、少なくともアンプ 32a と信号経路を切り替えるための PIN ダイオード 32c とが集積されている。

【0005】もちろん、実際の MMIC 31, 32 には、上述の構成以外に位相器やアッテネータ、周波数変換器、変復調器等の回路も集積され、また PIN ダイオード 31c, 32c にはそれぞれ直流バイアス回路等が接続されているが、ここではその記載を省略する。このように、各 PIN ダイオードは、制御端子 34, 35 に印加される電圧に応じてオン／オフが切り替わり、アンテナ 33 には送信系／受信系の何れかが接続されることになる。

【0006】すなわち、送信時においては、端子 36 に入力された信号はアンプ 31a によって増幅された後、PIN ダイオード 31c を通ってアンテナ 33 へ入力される。また、受信時においては、アンテナ 33 で受信さ

れた信号はPINダイオード32cおよびアンプ32aを  
通って端子37に入力される。

【0007】しかしながら、このようなPINダイオード等の半導体スイッチは、半導体を持つ抵抗分や寄生容量分による挿入損失やアイソレーションの劣化、信号の通過ロス等の問題を有し、満足のいくものではない。特に、扱う信号が高周波になればなるほど、このような問題点は顕著なものとなる。最適化された、個別部品としてのPINダイオードによるスイッチの通過ロスは例えば30GHzにおいて0.8dB程度である。

【0008】一方、MMIC化によって送受信部の各回路と信号経路切り替えのためのPINダイオードとを一体化しようとした場合、FET等の能動素子とPINダイオード等とは、能動層における最適条件がそれぞれ異なるため、同一基板上にモノリシックに集積することは困難といえる。

【0009】さらに一方、PINダイオードの代わりにFETを用いることも考えられなくはないが、FETを用いたのでは通過ロスがさらに増加して（例えば、30GHzで1.1~1.5dB）とても満足のいくものではない。したがって、MMIC等の半導体高周波集積回路に半導体スイッチを使用することは限界があるといえる。

【0010】そこで、近年に至ってはこのような課題を解決すべく、機械的にオン/オフ制御を行う微小スイッチ（以下、マイクロマシンスイッチという）を採用しようとする動きがある。例えば、特開平9-173000号公報には、GaAs基板上に微小なマイクロマシンスイッチを作製したものが開示されている。しかし、このようなマイクロマシンスイッチは、高周波特性は優れているものの、実際にMMIC等を集積するにあたって種々の問題点を有するのが実状である。

【0011】ここで、従来のマイクロマシンスイッチについて図を参照して説明する。図10は、特開平9-173000号公報に開示されたマイクロマシンスイッチを示す平面図(a)、そのD-D'線断面図(b)である。同図(a)、(b)に示すように、GaAs基板41上には所定のギャップを隔てて信号線44が配設されており、したがってこの信号線44は閉回路を構成している。また、GaAs基板41上にはこの信号線44と近接してアンカー構造42が設けられ、その上には酸化シリコンからなる片持ちアーム45が配設されている。

【0012】この片持ちアーム45は、その先端部が信号線44のギャップ上まで延在して矢印48の方向に湾曲することができる。また、先端部の下面には導電性部材からなる接触部47が信号線44の両端にかかるようにして形成されている。したがって、片持ちアーム45が基板面側に湾曲することにより、接触部47は信号線44の両端に接触し、信号線44には閉回路が構成されることになる。

【0013】また、片持ちアーム45はその上面に上部電極46が形成され、GaAs基板41上にはこの上部電極46と対向して制御電極43が形成されている。すなわち、上部電極46と制御電極43との間に電圧を印加することにより、これらの電極間に静電気力が発生し、片持ちアーム45が基板側に湾曲して上述のとおり閉回路が構成される。その後、電圧印加を解除することにより静電気力の発生が止まり、片持ちアーム45は元の形に戻って開回路が構成される。

10 【0014】

【発明が解決しようとする課題】しかしながら、図7の記載から明らかなように、従来のマイクロマシンスイッチは可動部である片持ちアーム45を支えるアンカー構造42が、GaAs基板41上に直接形成されているため、信号線44から接触部47を伝わった高周波信号の一部が、片持ちアーム45を伝って上部電極46やアンカー構造42へリークし易いといえる。したがって、本来信号線44へ伝わるはずの高周波エネルギーが損失減衰してしまうことになり、このような従来の構造では、低損失のスイッチの実現が難しいといえる。ちなみに、この構造での挿入損失は30GHzで2~3dBである。

20

【0015】また、上述の従来例では、基板41上に信号線44を形成した後に、アンカー構造42や酸化シリコン製の片持ちアーム45を形成するための新たなプロセスを追加する必要がある。したがって、従来のMMICの製造プロセスだけでは、このような構造を作製することはできない。

30

【0016】さらに、上述の従来例では、マイクロマシンスイッチとMMICとをモノリシック集積可能とするため、片持ちアーム45の材料であるSiO<sub>2</sub>膜の成膜温度を250℃以下程度にすることが開示されている。具体的には、このSiO<sub>2</sub>膜をプラズマCVDを用いて作ることが開示されている。

40

【0017】しかしながら、周知のとおり、材料の機械的特性（例えば、歪み、剛性、信頼性等）および電気的特性（例えば、誘電率、最大破壊電圧等）は、温度条件の最適化によって改善される。したがって、製造プロセスにおいてはこれらの特性を改善すべく、適宜温度条件を可変する必要があるが、従来例では実施することはできない。このように、温度条件に関して制約を有していたのでは、高性能なマイクロマシンスイッチおよび集積回路を実現する上で大きな障害といえる。

【0018】本発明は、このような課題を解決するためのものであり、信号線を通る信号のリークを無くすことができ、従来のMMICの製造プロセスで容易に作製することができる半導体高周波集積回路およびその製造方法を提供することを目的とする。

【0019】

50 【課題を解決するための手段】このような目的を達成す

るために、本発明の半導体高周波集積回路の一態様は、能動素子および受動素子からなる集積回路を有する半導体基板と、上記半導体基板の主表面を覆う層間絶縁膜と、上記層間絶縁膜上に設けられかつ上記集積回路と接続された第1の信号線と、上記層間絶縁膜上に設けられかつ上記第1の信号線の端部から所定の間隔を隔てて端部の設けられた第2の信号線と、上記第1および第2の信号線間の導通／非導通を制御するスイッチ手段とを備えた半導体集積回路において、上記スイッチ手段は、上記第1または第2の信号線の端部の一方に設けられかつ導電性部材からなる支持部材と、この支持部材の上に設けられるとともに他方の信号線の上方まで延在しかつ導電性部材からなる片持ちアームと、上記第1および第2の信号線の端部間における上記片持ちアームの直下に設けられた制御電極とを備えたものである。

【0020】また、本発明の半導体高周波集積回路のその他の態様においては、上記半導体基板は、シリコン基板または化合物半導体基板である。また、上記集積回路は、位相器、送受切り替え器、可変減衰器、周波数変換器、周波数通倍器、周波数フィルタ、発振器、変調器、復調器または増幅器のうちの少なくとも何れか一つを含む。また、第1および第2の信号線は、マイクロストリップライン、コプレナー線路またはスロット線路の何れかである。

【0021】また、本発明の半導体高周波集積回路の製造方法の一態様は、半導体基板に能動素子および受動素子からなる集積回路を形成する工程と、この半導体基板の主表面上に層間絶縁膜を形成する工程と、この層間絶縁膜上に、上記集積回路に接続された第1の信号線を形成するとともにこの第1の信号線の端部から所定の間隔を隔てた位置に端部を有する第2の信号線を形成する工程と、上記層間絶縁膜上に、上記第1および第2の信号線を覆う厚さの犠牲膜を形成する工程と、上記第1または第2の信号線の一方の端部上にある上記犠牲膜にスルーホールを開く工程と、上記スルーホール内に導電性部材を充填することにより上記一方の端部上に支持部材を形成する工程と、この支持部材上に、他方の信号線まで延在しかつ導電性部材からなる片持ちアームを形成する工程と、上記犠牲膜を除去する工程とを備えたものである。

【0022】また、本発明の半導体高周波集積回路の製造方法のその他の態様においては、上記半導体基板は、シリコン基板または化合物半導体基板である。また、集積回路は、位相器、送受切り替え器、可変減衰器、周波数変換器、周波数通倍器、周波数フィルタ、発振器、変調器、復調器または増幅器のうちの少なくとも何れか一つを含む。また、上記第1および第2の信号線は、マイクロストリップライン、コプレナー線路またはスロット線路の何れかである。

【0023】このように構成することにより本発明は、

エアブリッジ構造を有する従来のMMICスループロセスを変更せずに、そのまま用いてマイクロマシンスイッチを含むMMICを構成することができる。したがって、高性能なマイクロマシンスイッチを、MMIC上に安価で作製することができる。

【0024】

【発明の実施の形態】次に、本発明の一つの実施の形態について図を用いて説明する。図1は、本発明の一つの実施の形態を示す平面図であり、ここでは化合物半導体基板上に増幅素子としての電界効果トランジスタ（以下、FETという）とマイクロマシンスイッチを搭載した例について示す。なお、FETの直流バイアス回路やインピーダンスマッチング回路については、その記載を省略している。

【0025】さて、同図に示すように、GaAs等の化合物半導体からなる基板1には、FET25とそれにつながったマイクロマシンスイッチ24とが搭載されており、その等価回路を図示すると図2のようになる。

【0026】すなわち、入力側の電極21は、FET25のゲートに接続され、FET25は、ソースが接地用電極26およびそれに接続されたボンディングワイヤ等を介してチップ外のグランド（アース）に接続され、かつ、ドレインがマイクロマシンスイッチ24の一端に接続されている。そして、マイクロマシンスイッチ24の他端は出力側の電極パッド22に接続されている。このマイクロマシンスイッチ24のオン／オフ制御は、制御用の電極パッド23に印加された電圧によって生じた静電気力で行われる。このように、電極パッド21から入力された高周波信号は、FET25で増幅されてから、電極パッド23によるオン／オフ制御に応じて出力側の電極パッド22へ伝わる。

【0027】さて、マイクロマシンスイッチの詳細の構造について、さらに図3を参照して説明する。図3

(a), (b), (c)は、それぞれ図1のA-A'線、B-B'線、C-C'線における断面図を示したものである。同図(c)に示すように、基板1には活性層2が形成され、ゲートとなる領域の上にはゲート電極3gが形成され、ソースとなる領域の上にはオーミック電極4sが形成され、ドレインとなる領域の上にはオーミック電極4dが形成されている。

【0028】また、ゲート電極3gおよびオーミック電極4s, 4dの形成された基板1の表面は、層間絶縁膜5によって覆われている。そして、同図(a)および図1に示すように、2個あるゲート電極3gは基板1と水平な方向に引き出されて電極6gを介して電極パッド21と接続されている。

【0029】同様に、オーミック電極4sの上には電極6sが形成され、その上にはソース電極7sおよび電極8sが形成され、2個ある電極8sはエアブリッジ配線9bを介して短絡されている。また、オーミック電極4

d上には電極6dが形成され、さらにその上にはドレイン電極7dが形成されている。

【0030】なお、このドレイン電極7dは、FET外の領域まで引き出されて信号線として機能する。すなわち、層間絶縁膜5の膜厚を予め適宜調整しておくことにより、この層間絶縁膜5および基板1を誘電体とし、基板1の裏面に設けられた金属面または基板1を保持固着するパッケージ等の金属部分をグランド電極として、マイクロストリップラインを構成することになる。したがって、このような構造を採用することにより高周波の伝送に使用可能となる。もちろん、直流信号の伝送に使用することもできる。また、マイクロストリップラインの代わりに、コプレーナ線路やスロット線路等を構成することもできる。

【0031】一方、同図(b)に示すように、層間絶縁膜5上にはドレイン電極7dの端部から所定の距離だけ隔てて信号線7swが配設されており、信号線7swの末端は電極パッド22となっている。そして、信号線swの端部上には電極8swが形成され、さらにその上には片持ちアーム9swが形成されている。なお、片持ちアーム9swの直下の基板1上には制御電極3cが形成され、この制御電極3cの一端は、同図(c)の電極6cを介して電極パッド23に接続されている。

【0032】このように、電極パッド23を介して制御電極3cに印加された電圧により、(制御電極3c) - (片持ちアーム9sw) 間にクーロン力が働き、片持ちアーム9swが基板側に湾曲してドレイン電極7dに接触して回路が閉じる。その結果、電極21から入力された高周波信号は、FET25で増幅されてから、ドレイン電極7dおよび片持ちアーム9swを伝って電極22に出力される。逆に、制御電極3cに制御電圧を加えることを停止し、代わりに図示していない接地電位に接続することにより、クーロン力は働かなくなり、回路はオープンとなる。したがって、電極パッド21から入力された高周波信号は、マイクロマシンスイッチ24で遮断され、電極22からは出力されない。本実施の形態では片持ちアームを支える構造を伝送ライン上に設けるため、伝送ライン外への信号の漏れが少なく、30GHzで0.5dB以下の損失に抑えることができる。

【0033】なお、上記では基板1の材料として、GaAs等の化合物半導体を用いることを述べたが、これに限られるものではない。例えば、シリコン基板を用いても同様のマイクロマシンスイッチおよび半導体集積回路を作ることができる。また、図3においては、制御電極3cを基板1に直接配設した例を示したが、配線層が多層構造である場合はゲート電極3gと同じ層に配設する必要は必ずしもない。したがって、ゲート電極3gの形成された層とドレイン電極7dの形成された層との中間層に制御電極を設けてもよい。

【0034】ここで、図1～3に示したマイクロマシン

スイッチおよび半導体集積回路の製造工程について図を参照して説明する。

【0035】図4～7は、図1～3に係るマイクロマシンスイッチ等の製造工程を示す断面図である。なお、図4～6はC-C'線における断面図を示し、図7はB-B'線における断面図を示す。まず、図4(a)に示すように、GaAsからなる基板1(例えば板厚が数十～数百μm程度)を用意する。次いで、図4(b)に示すように、基板1に所望の能動素子を形成する。ここでは、FETを作製する例について示す。したがって、活性層2を作るべく、基板1にSiイオンを浅く注入してから、さらにソースおよびドレインとなる領域にSiイオンを深く注入する。

【0036】次いで、図4(c)に示すように、活性層2の形成された基板1の表面上に、酸化シリコンからなる層間絶縁膜5をCVD法等を用いて堆積させる。次いで、図4(d)に示すように、ゲート領域および制御電極の領域に対応する層間絶縁膜5にコンタクトホールを開口してから、金属の堆積およびエッチバックを行い、コンタクトホール内にゲート電極3gおよび制御電極3cを作製する。具体的には、タングステンシリサイドと金のスパッタにより、厚さが0.5μm程度のゲート電極3gを作製する。

【0037】次いで、図4(e)に示すように、ソースおよびドレイン領域に対応する層間絶縁膜5にコンタクトホールを開口してから、金属の堆積およびエッチバックを行い、さらに熱処理を行ってオーミック電極4s, 4dを作製する。次いで、図5(f)に示すように、層間絶縁膜5上にさらに酸化シリコンを堆積させ、層間絶縁膜5の膜厚を厚くする。次いで、図5(g)に示すように、オーミック電極4s, 4d上の層間絶縁膜5にスルーホールを開口してから、金属の堆積およびエッチバックを行い、電極6s, 6d, 6cを作製する。

【0038】次いで、図5(h)に示すように、さらにその上に金属70を堆積させる。次いで、図5(i)に示すように、リソグラフィおよびエッチングすることにより、ソース電極7s, ドレイン電極7dおよび電極パッド23を作製する。次いで、図5(j)に示すように、ソース電極7s, ドレイン電極7dおよび電極パッド23を覆うようにして層間絶縁膜5上に犠牲膜100を堆積させる。次いで、図5(k)に示すように、ソース電極7sに対応する犠牲膜100にスルーホールを開口してから、金属の堆積およびエッチバックを行い、電極8sを形成する。

【0039】次いで、図5(l)に示すように、電極8sおよび犠牲膜100上に金属90を堆積させる。次いで、図5(m)に示すように、金属90をリソグラフィおよびエッチングすることによりエアブリッジ配線9bを作製する。最後に、図5(n)に示すように、犠牲膜を除去することにより、エアブリッジ配線9bを有し

たFETができあがる。

【0040】ところで、図1に示したマイクロマシンスイッチ25は、上述の図6(k)～(n)の工程で作られ、マイクロマシンスイッチ25の製造工程のみを抜き出すと以下ようになる。

【0041】図7(k')～(n')は、C-C'線における断面を示したものであり、それぞれ図6(k)～(n)の各工程に対応している。まず、図7(k')に示すように、基板1上には既にゲート電極g、制御電極3c、層間絶縁膜5等が作製されている。図6(k)の場合と同様に、信号線7sw上には電極8swが作られる。次いで、図7(l')に示すように、電極8swおよび犠牲膜100を覆うようにして金属90を堆積する。次いで、図7(m')に示すように、リソグラフィおよびエッチングにより、片持ちアーム9swを作製する。最後に、犠牲膜100を除去することにより、マイクロマシンスイッチができあがる。このように、本実施の形態を用いることにより、MMICの製造プロセスにおけるエアブリッジ配線の製造プロセスを利用することにより、マイクロマシンスイッチを容易に作製することができる。

【0042】次に、本発明のその他の実施の形態について説明する。図8は、本発明のその他の実施の形態を示すブロック図であり、無線通信機の送受信部にマイクロマシンスイッチを用いた場合のブロック図である。同図において、図9と同一符号のものは同一または同等の部品を示す。本実施の形態では、信号経路の切り替えスイッチとして図1に示したマイクロマシンスイッチ31b、32bを採用している。

【0043】ここで、本実施の形態の動作について説明する。図8(a)に示すように、受信時にはスイッチ31bが開放されて逆にスイッチ32bが閉じることにより、アンテナ33で受信された信号は、スイッチ32bを通して受信系のMMIC32に入力される。一方、図8(b)に示すように、送信時には端子36から送信系のMMIC31に入力された信号は、アンプ31aおよびスイッチ31bを通してアンテナ33に入力される。マイクロマシンスイッチ31b、32bの制御は、制御電極34、35に印加された電圧に応じて行われる。

【0044】なお、上述のマイクロマシンスイッチを利用した応用回路としては、上述のような増幅器以外に、位相器、送受切り替え器、可変減衰器(アッテネー

タ)、周波数変換器、周波数通倍器、周波数フィルタ、発振器、変調器、復調器等があることはいうまでもない。すなわち、本発明を用いることにより、高周波用の各種の集積回路とマイクロマシンスイッチとを同一チップに集積可能とする。

#### 【0045】

【発明の効果】以上説明したとおり本発明は、従来のエアブリッジ構造をもつMMICスループロセスを変更することなしに、マイクロマシンスイッチによる信号のオン/オフ回路を構成することができ、従来、半導体スイッチを用いて構成していた位相器、アッテネータ等を含む集積回路や従来のマイクロマシンスイッチを含む集積回路において低ロス化を図ることができる。

#### 【図面の簡単な説明】

【図1】 本発明の一つの実施の形態を示すブロック図である。

【図2】 図1の等価回路を示す回路図である。

【図3】 図1のA-A'線(a)、B-B'線(b)、C-C'線(c)における断面図である。

【図4】 図1に係る高周波半導体集積の製造工程を示す断面図(図1のC-C'線断面)である。

【図5】 図4の続きを示す断面図である。

【図6】 図5の続きを示す断面図である。

【図7】 図1の高周波半導体集積回路の製造工程を示す断面図(図1のB-B'線断面)である。

【図8】 本発明のその他の実施の形態(無線通信機の送受信部)を示すブロック図である。

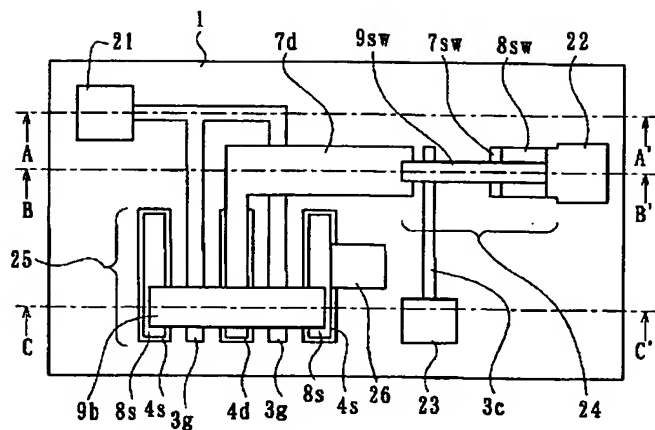
【図9】 従来例(無線通信機の送受信部)を示すブロック図である。

【図10】 従来のマイクロマシンスイッチを示す平面図(a)、D-D'線における断面図(b)である。

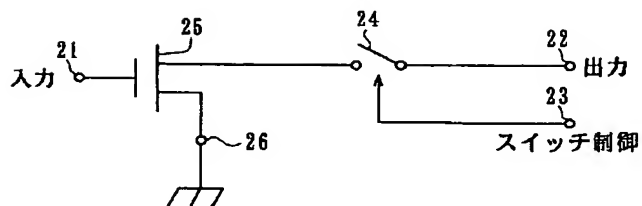
#### 【符号の説明】

1…基板、2…活性層、3g…ゲート電極、3c…制御電極、4s、4d…オーミック電極、5…層間絶縁膜、6s、6d、6c、6g…電極、7s…ソース電極、7d…ドレイン電極(信号線)、7sw…信号線、8s、8sw…電極、9b…エアブリッジ配線、9sw…片持ちアーム、21、22、23…電極パッド、24…マイクロマシンスイッチ、25…FET、26…接地用電極、31、32…MMIC、31a、32a…アンプ、31b、32b…マイクロマシンスイッチ、33…アンテナ、36、37…端子、34、35…制御端子、70、90…金属、100…犠牲膜。

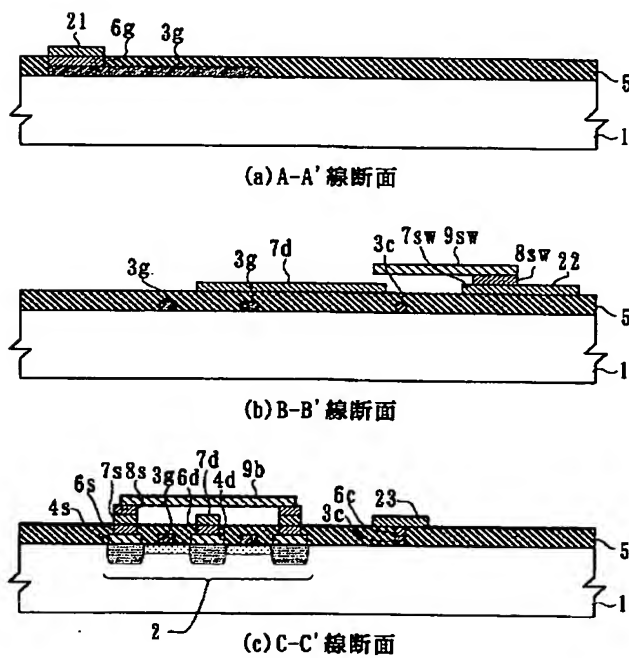
【図 1】



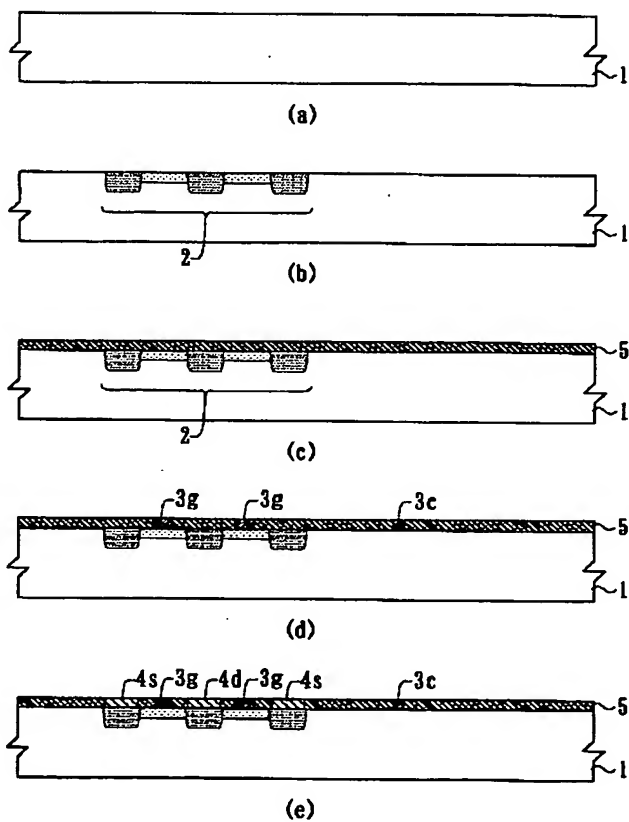
【図 2】



【図 3】

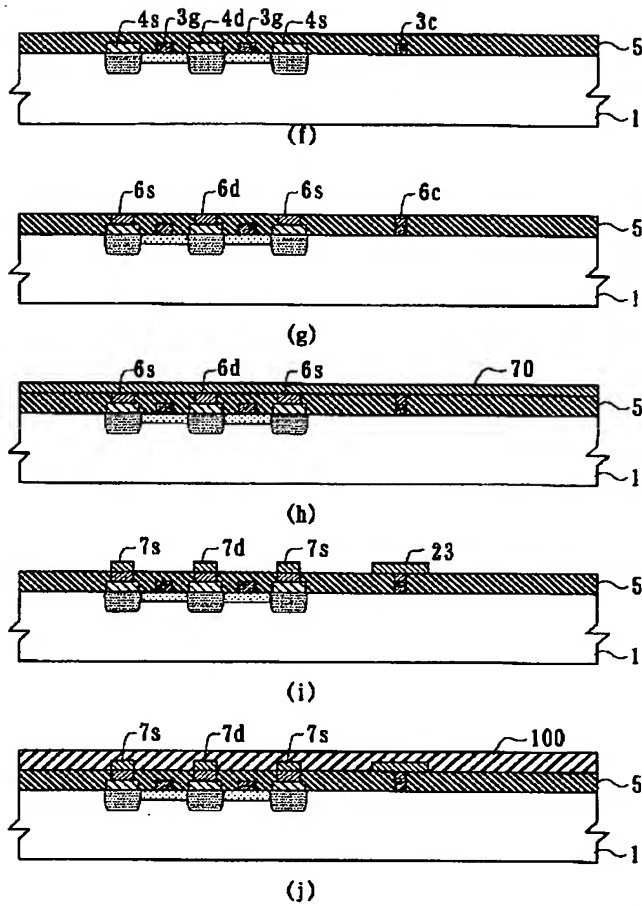


【図 4】

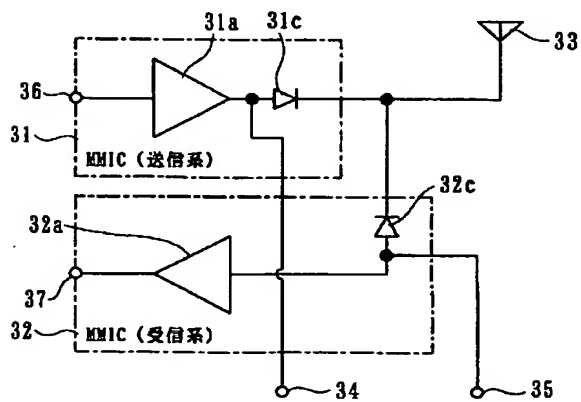




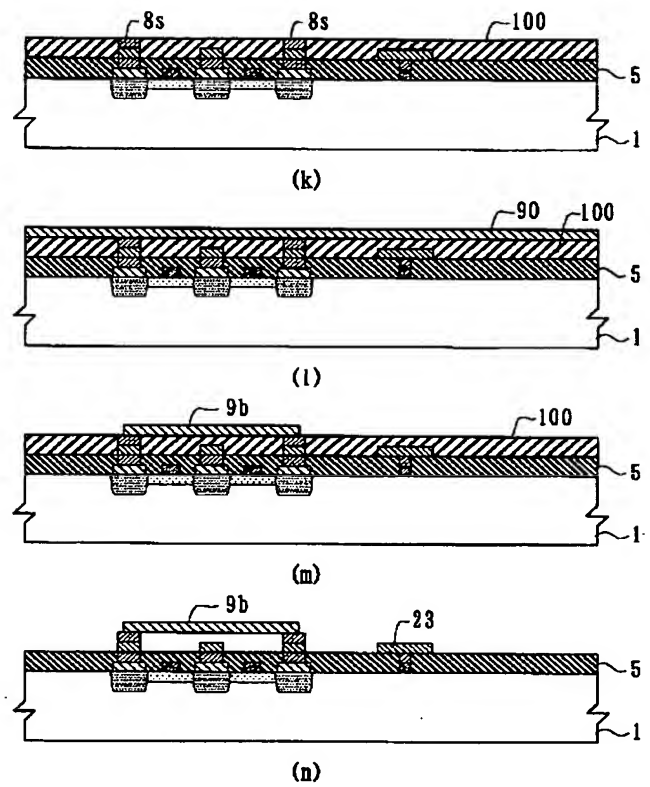
【図 5】



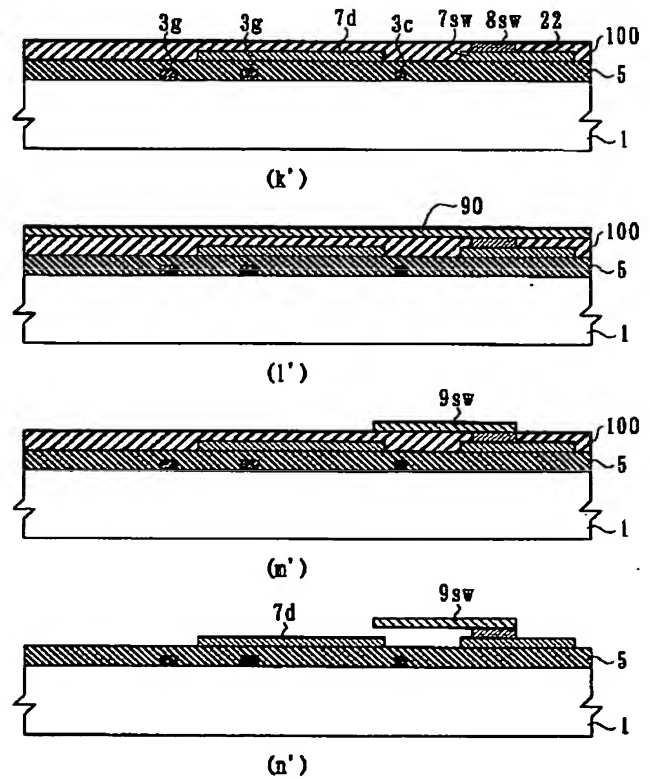
【図 9】



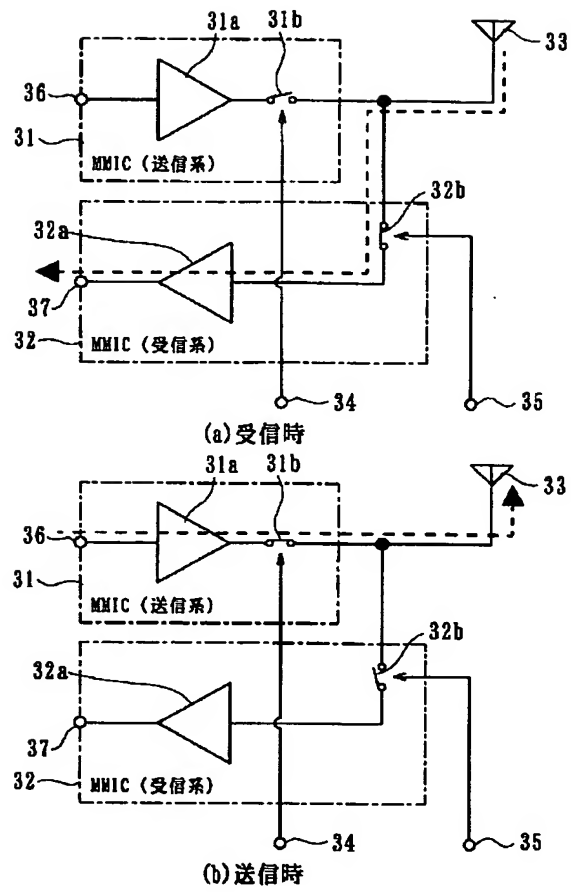
【図 6】



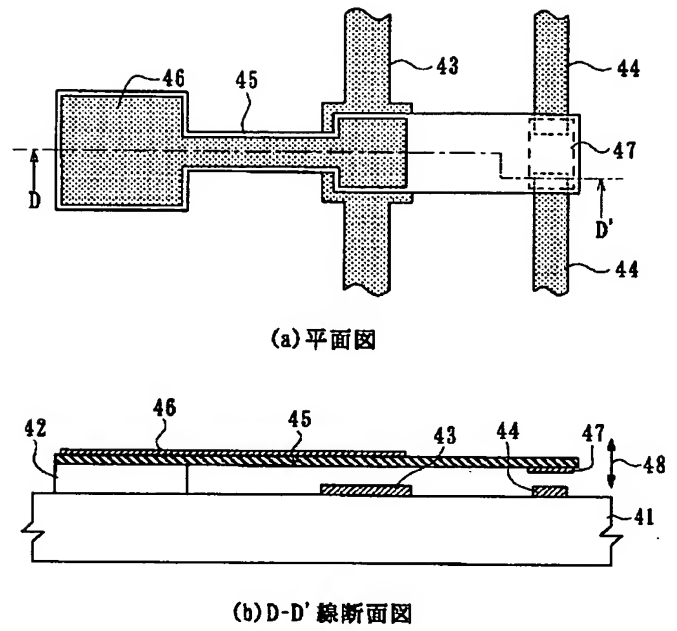
【図 7】



【図 8】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**